

PAT-NO: JP02003068764A
DOCUMENT-IDENTIFIER: JP 2003068764 A
TITLE: FIELD-EFFECT TRANSISTOR AND MANUFACTURE
THEREOF
PUBN-DATE: March 7, 2003

INVENTOR-INFORMATION:

NAME	COUNTRY
OTA, KAZUKI	N/A
WAKEJIMA, AKIO	N/A
MATSUNAGA, TAKAHARU	N/A
CONTRATA	N/A
KUZUHARA, MASAAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP2001252533

APPL-DATE: August 23, 2001

INT-CL (IPC): H01L021/338, H01L029/778, H01L029/812

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a high breakdown voltage and high output power field- effect transistor in which the carrier concentration in a channel layer can be increased without increasing the n-type impurity concentration in the channel layer, and to provide a manufacturing method thereof.

SOLUTION: In the field-effect transistor in which an InGaP layer 203, at least, is epitaxially grown on a GaAs substrate 201, and one portion or all of the InGaP layer functions as a channel layer, the InGaP layer and its adjacent upper or lower layer are constituted of a first semiconductor layer

(a buffer layer 202) in which the natural superlattice has been broken and the alignment of two or more kinds of atoms in the surface of a III-group atom layer has become irregular, and a second semiconductor layer (a channel layer 203) which is epitaxially grown on the first semiconductor layer, and in which the alignment of two or more kinds of atoms in the surface of the III-group atom layer is regular and the natural superlattice is formed.

COPYRIGHT: (C)2003,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-68764
(P2003-68764A)

(43) 公開日 平成15年3月7日(2003.3.7)

(51) Int.Cl.
H 01 L 21/338
29/778
29/812

識別記号

F I
H O I L 29/80

テマコト⁺(参考)
B 5F102
H

審査請求 未請求 請求項の数19 OL (全 14 頁)

(21) 出願番号

特庸2001-252533(P2001-252533)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日

平成13年8月23日(2001.8.23)

(72)発明者 大田 一樹

東京都港区芝五丁目

式会社内

分島 彰男
東京都港区芝五丁目7番1号 日本電気株

式会社内

100114672

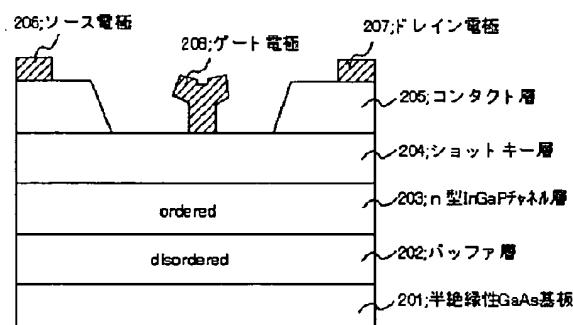
最終頁に統ぐ

(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】チャネル層のn型不純物濃度を高くすることなく、チャネル層内のキャリア濃度を高めることができる高耐圧・高出力電界効果トランジスタおよびその製造方法の提供

【解決手段】GaAs基板201上に、少なくともInGaP層203がエピタキシャル成長され、InGaP層の一部または全部がチャネル層として機能する電界効果トランジスタにおいて、InGaP層とその上層又は下層に隣接する層とが、自然超格子が破壊されてIII族原子層面内における2種類以上の原子の配列が不規則くなっている第1の半導体層(バッファ層202)と、第1の半導体層上にエピタキシャル成長され、III族原子層面内における2種類以上の原子の配列が規則的で自然超格子を形成している第2の半導体層(チャネル層203)との組み合わせで構成される。



【特許請求の範囲】

【請求項1】半導体基板上に、少なくともInGaP層がエピタキシャル成長された半導体結晶を備え、該半導体結晶上に、ソース／ドレイン電極およびゲート電極が離間して形成され、前記InGaP層の一部または全部がチャネル層として機能する電界効果トランジスタにおいて、

前記InGaP層と該InGaP層の上層又は下層に隣接する層とが、自然超格子が破壊されてIII族原子層面内における2種類以上の原子の配列が不規則となっている第1の半導体層と、前記第1の半導体層上にエピタキシャル成長され、III族原子層面内における2種類以上の原子の配列が規則的で自然超格子を形成している第2の半導体層との組み合わせで構成されることを特徴とする電界効果トランジスタ。

【請求項2】半導体基板上に、少なくともInGaP層がエピタキシャル成長された半導体結晶を備え、該半導体結晶上に、ソース／ドレイン電極およびゲート電極が離間して形成され、前記InGaP層の一部または全部がチャネル層として機能する電界効果トランジスタにおいて、

前記InGaP層の下層に隣接する層が、自然超格子が破壊されてIII族原子層面内における2種類以上の原子の配列が不規則となっている第1の半導体層からなり、前記InGaP層が、前記第1の半導体層上にエピタキシャル成長され、III族原子層面内における2種類以上の原子の配列が規則的で自然超格子を形成している第2の半導体層からなることを特徴とする電界効果トランジスタ。

【請求項3】半導体基板上に、少なくともInGaP層がエピタキシャル成長された半導体結晶を備え、該半導体結晶上に、ソース／ドレイン電極およびゲート電極が離間して形成され、前記InGaP層の一部または全部がチャネル層として機能する電界効果トランジスタにおいて、

前記InGaP層が、自然超格子が破壊されてIII族原子層面内における2種類以上の原子の配列が不規則となっている第1の半導体層からなり、該InGaP層上に、エピタキシャル成長され、III族原子層面内における2種類以上の原子の配列が規則的で自然超格子を形成している第2の半導体層を有することを特徴とする電界効果トランジスタ。

【請求項4】前記第2の半導体層の自発分極効果により、前記第2の半導体層と前記第1の半導体層との間のヘテロ界面に電子が蓄積されることを特徴とする請求項1乃至3のいずれか一に記載の電界効果トランジスタ。

【請求項5】前記第1の半導体層が、InGaP、InAlGaP、InAlP、GaAs、AlGaAs、またはこれらの積層体で構成されていることを特徴とする請求項1乃至4のいずれか一に記載の電界効果トランジ

スタ。

【請求項6】前記第2の半導体層が、InGaP、InAlGaP、InAlP、またはこれらの積層体で構成されていることを特徴とする請求項1乃至5のいずれか一に記載の電界効果トランジスタ。

【請求項7】前記第2の半導体層に、n型不純物が添加されていることを特徴とする請求項6記載の電界効果トランジスタ。

【請求項8】前記n型不純物濃度が、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下に設定されていることを特徴とする請求項7記載の電界効果トランジスタ。

【請求項9】前記InGaP層の下層に、バンドギャップが前記InGaP層以上の、不純物を添加しないバッファ層を有することを特徴とする請求項1乃至8のいずれか一に記載の電界効果トランジスタ。

【請求項10】更に、前記InGaP層と前記バッファ層との間に、電子親和力が前記InGaP層より小さい下部電子供給層を有することを特徴とする請求項9記載の電界効果トランジスタ。

【請求項11】前記InGaP層の上層に、バンドギャップが前記InGaP層以上のバリア層、又は電子親和力が前記InGaP層より小さい上部電子供給層を有することを特徴とする請求項1乃至10のいずれか一に記載の電界効果トランジスタ。

【請求項12】更に、前記InGaP層と前記上部電子供給層との間に、不純物を添加しないスペーサ層を有することを特徴とする請求項11記載の電界効果トランジスタ。

【請求項13】前記上部電子供給層又は前記下部電子供給層が、InGaP、InAlP、AlGaAs、またはこれらの積層体で構成されることを特徴とする請求項10乃至12のいずれか一に記載の電界効果トランジスタ。

【請求項14】前記ゲート電極下層に、バンドギャップが前記InGaP層以上のショットキー層を有することを特徴とする請求項1乃至13のいずれか一に記載の電界効果トランジスタ。

【請求項15】前記ショットキー層が、InGaP、InAlGaP、InAlP、AlGaAs、またはこれらの積層体で構成されることを特徴とする請求項13記載の電界効果トランジスタ。

【請求項16】自然超格子が破壊されてIII族原子層面内における2種類以上の原子の配列が不規則となっている第1の半導体層を形成する工程と、前記不規則配列層上にエピタキシャル成長され、III族原子層面内における2種類以上の原子の配列が規則的で自然超格子を形成している第2の半導体層を形成する工程と、を少なくとも有すること特徴とする電界効果トランジスタの製造方法。

【請求項17】前記第1の半導体層と前記第2の半導体

層とを、有機金属気相成長法における成長温度を変えて連続して形成することを特徴とする請求項16記載の電界効果トランジスタの製造方法。

【請求項18】前記第1の半導体層を、530°C~600°Cの温度範囲で有機金属気相成長法により成長することを特徴とする請求項17記載の電界効果トランジスタの製造方法。

【請求項19】前記第2の半導体層を、630°C~700°Cの温度範囲で有機金属気相成長法により成長することを特徴とする請求項17記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速かつ高出力の半導体装置およびその製造方法に関し、特に、InGaPからなるチャネル層を有する電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】近年、移動体通信システムの分野においては、高速化・大容量化が急速に進められており、基地局用デバイスへの大出力化・低歪化が強く求められている。この要求を満たすために、半導体装置の技術分野においては、電界効果トランジスタの高耐圧化による高出力化を目指した種々の研究が行われている。

【0003】電界効果トランジスタを高耐圧化する方法としては、チャネル層材料にワイドバンドギャップのInGaP、GaN、SiCなどを、従来のSiやGaAsに替わって適用する手法が注目されている。例えば、特開平10-261653号公報には、InGaPよりもなるチャネル層を有する電界効果トランジスタが開示されている。InGaPのようなバンドギャップの大きい材料は絶縁破壊電圧が高く、衝突イオン化係数が小さいため、これをチャネル領域に適用することによって、容易に電界効果トランジスタの高電圧動作化が可能となる。また、InGaPはGaNやSiCと異なり、GaAs基板に格子整合させることができない材料であり、大口径ウェハでのデバイス製造が容易であるという商業的に有利な特長も有している。

【0004】

【発明が解決しようとする課題】しかしながら、InGaPは電子の飽和速度が $1 \times 10^7 \text{ cm/s}$ であり、GaNの $2 \times 10^7 \text{ cm/s}$ に比べて小さいため、GaAs電界効果トランジスタと同等の高い最大ドレイン電流、相互コンダクタンスを得るために、InGaPチャネル層のn型不純物濃度を高くする必要がある。しかし、n型不純物濃度の増大はドレイン耐圧の低下を伴うというトレードオフの関係にあり、GaAs電界効果トランジスタを圧倒的に凌駕する大出力を得るのが難しいという問題があった。

【0005】本発明は、上記問題点に鑑みてなされたも

のであって、その主たる目的は、チャネル層のn型不純物濃度を高くすることなく、チャネル層内のキャリア濃度を高めることができる高耐圧・高出力電界効果トランジスタおよびその製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するためには、本発明の電界効果トランジスタは、半導体基板上に、少なくともInGaP層がエピタキシャル成長された半導体結晶を備え、該半導体結晶上に、ソース/ドレイン電極およびゲート電極が離間して形成され、前記InGaP層の一部または全部がチャネル層として機能する電界効果トランジスタにおいて、前記InGaP層と該InGaP層の上層又は下層に隣接する層とが、自然超格子が破壊されてIII族原子層面内における2種類以上の原子の配列が不規則となっている第1の半導体層と、前記第1の半導体層上にエピタキシャル成長され、III族原子層面内における2種類以上の原子の配列が規則的で自然超格子を形成している第2の半導体層との組み合わせで構成されるものである。

【0007】また、本発明の電界効果トランジスタは、半導体基板上に、少なくともInGaP層がエピタキシャル成長された半導体結晶を備え、該半導体結晶上に、ソース/ドレイン電極およびゲート電極が離間して形成され、前記InGaP層の一部または全部がチャネル層として機能する電界効果トランジスタにおいて、前記InGaP層の下層に隣接する層が、自然超格子が破壊されてIII族原子層面内における2種類以上の原子の配列が不規則となっている第1の半導体層からなり、前記InGaP層が、前記第1の半導体層上にエピタキシャル成長され、III族原子層面内における2種類以上の原子の配列が規則的で自然超格子を形成している第2の半導体層からなるものである。

【0008】また、本発明の電界効果トランジスタは、半導体基板上に、少なくともInGaP層がエピタキシャル成長された半導体結晶を備え、該半導体結晶上に、ソース/ドレイン電極およびゲート電極が離間して形成され、前記InGaP層の一部または全部がチャネル層として機能する電界効果トランジスタにおいて、前記InGaP層が、自然超格子が破壊されてIII族原子層面内における2種類以上の原子の配列が不規則となっている第1の半導体層からなり、該InGaP層上に、エピタキシャル成長され、III族原子層面内における2種類以上の原子の配列が規則的で自然超格子を形成している第2の半導体層を有するものである。

【0009】本発明においては、前記InGaP層の下層に、バンドギャップが前記InGaP層以上の、不純物を添加しないバッファ層を有する構成とすることができ、更に、前記InGaP層と前記バッファ層との間に、電子親和力が前記InGaP層より小さい下部電子供給層を有する構成とすることもできる。

【0010】また、本発明においては、前記InGaP層の上層に、バンドギャップが前記InGaP層以上のバリア層、又は電子親和力が前記InGaP層より小さい上部電子供給層を有する構成とすることができ、更に、前記InGaP層と前記上部電子供給層との間に、不純物を添加しないスペーサ層を有する構成とすることもできる。

【0011】また、本発明においては、前記ゲート電極下層に、バンドギャップが前記InGaP層以上のショットキー層を有する構成とすることができる。

【0012】また、本発明の電界効果トランジスタの製造方法は、自然超格子が破壊されてIII族原子層面内における2種類以上の原子の配列が不規則となっている第1の半導体層を形成する工程と、前記不規則配列層上にエピタキシャル成長され、III族原子層面内における2種類以上の原子の配列が規則的で自然超格子を形成している第2の半導体層を形成する工程と、を少なくとも有するものである。

【0013】本発明においては、前記第1の半導体層と前記第2の半導体層とを、有機金属気相成長法における成長温度を変えて連続して形成することが好ましく、前記第1の半導体層を、530℃～600℃の温度範囲で、前記第2の半導体層を、630℃～700℃の温度範囲で有機金属気相成長法により成長する構成とすることができる。

【0014】なお、前記第1の半導体層を構成する材料としては、例えばInGaP、InAlGaP、InAlP、GaAs、AlGaAsなどを用いることができる。また、前記第2の半導体層を構成する材料としては、自然超格子を形成することが可能な材料、例えばInGaP、InAlGaP、InAlPなどを用いることができる。

【0015】前記ヘテロ界面を実現するためには、InGaP、InAlGaP、InAlPなどの自然超格子の形成を制御する必要がある。自然超格子の形成は有機金属気相成長法を用いたエピタキシャル成長の条件、例えば成長温度、V/III比、成長速度、不純物添加濃度などに影響されるので、半導体積層構造のエピタキシャル成長時に、前記第1の半導体層を堆積する時の成長条件と前記第2の半導体層を堆積する時の成長条件を変えることによって前記ヘテロ界面を形成する。

【0016】前記チャネル層を構成する半導体層は、n型不純物を添加してもよいし、しなくともよい。n型不純物としてはSi、S、Se、Teなどを用いることができる。ただし、n型不純物濃度が高いとInGaPやInAlGaPは自然超格子を形成しなくなるので、前記第2の半導体層のn型不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが望ましい。

【0017】化合物半導体層の結晶成長に一般的に用いられている方法、例えば有機金属気相成長法(MOVP)

E法)で堆積したInGaPは、成長条件によっては自然超格子と呼ばれる特殊な原子配列を形成する。図1は自然超格子を形成したInGaPの原子配列を説明した図である。図1からわかるように、自然超格子を形成したInGaPでは、III族原子(InおよびGa)からなるIII族原子層面と、V族原子(P)からなるV族原子層面が交互に積層されており、かつIII族原子層面のみに着目すると、[-111]方向にIn原子のみで構成されるIn原子層面とGa原子のみで構成されるGa原子層面が交互に配置するように配列している。このような自然超格子の形成される材料はInGaPだけに限定されず、例えばInAlGaPのような4元混晶半導体でも[-111]方向に、In原子層面と、GaおよびAlで構成される原子層面とが交互に配列する自然超格子が形成されることが知られている。

【0018】InGaP中の原子をミクロに見るとIn-P結合とGa-P結合の結合力の差から自発分極を生ずるが、自然超格子の破壊された無秩序な原子配列においては、前記分極の方向も無秩序であり、マクロ的に見たInGaP層は分極を生じない。一方、自然超格子の形成されたミクロ的に見た分極の方向が、自然超格子の形成される[-111]方向に揃うため、マクロ的に見たときには[-111]方向の分極に伴う内部電界がInGaP層中に発生することになる。自然超格子が形成されたInGaP中の内部電界の大きさを第一原理から計算した例が、Applied Physics Letters, Vol. 68 No. 20 p. p. 2852に報告されている。この文献によると、自然超格子が形成されたInGaP中の内部電界の大きさは、[-111]方向に $16 \text{ mV}/\text{\AA}$ であり、通常デバイス作製に用いられる(001)面の法線方向([001]方向)成分は $9 \text{ mV}/\text{\AA}$ であると記載されている。

【0019】従って、(001)面上にエピタキシャル成長され、自然超格子が破壊されたInGaPからなる第1の半導体層と、前記第1の半導体層上にエピタキシャル成長され、自然超格子を形成しているInGaPからなる第2の半導体層とのヘテロ界面には $5 \times 10^{12} \text{ cm}^{-2}$ という大きな分極電荷が生じ、これに引き寄せられるように自由電子がヘテロ界面に蓄積される。前記ヘテロ界面を電界効果トランジスタのチャネル層の一部とすることによって、n型不純物濃度を増大させることなくチャネル層内の自由電子濃度を増大させることができるために、高電流密度と高耐圧を有する高出力電界効果トランジスタの製造が可能となる。

【0020】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0021】【実施の形態1】まず、本発明の第1の実施形態に係る電界効果トランジスタ及びその製造方法について、図2乃至図5を参照して説明する。

【0022】図2は本実施形態による電界効果トランジスタの概略を示す断面図である。半絶縁性GaAs基板201上には、自然超格子の形成されていない（以下、図中では“disordered”と表記する）材料からなるバッファ層202、自然超格子の形成されている（以下、図中では“ordered”と表記する）n型InGaPからなるチャネル層203、ショットキー層204、コンタクト層205が順次積層されている。コンタクト層205上にはコンタクト層205とオーミック接触するソース電極206およびドレイン電極207が形成されている。ソース電極206とドレイン電極207との間のショットキー層204上には、ショットキー層204とショットキー接触するゲート電極208が形成されている。高い耐圧を有する電界効果トランジスタを構成するために、バッファ層202の材料としては、自然超格子が形成されておらず、チャネル層203よりもバンドギャップが大きく高抵抗な材料が望ましく、InAlGaP、InAlP、AlGaAsあるいはこれらの積層体などを用いることができる。

【0023】本実施の形態では、自然超格子の形成されているチャネル層203の自発分極効果により、自然超格子の形成されていないバッファ層204とのヘテロ界面に正の分極電荷が生じ、これに引き寄せられるように自由電子が前記ヘテロ界面に蓄積されることから、チャネル層203内の電子濃度を高めることができる。これにより、自然超格子の形成を制御しない特開平10-261653号公報に記載された従来例に比べてドレイン電流密度が高くなり、高いRF出力が得られるようになる。

【0024】以下、図3乃至図5を参照して、本実施形態の電界効果トランジスタの具体的な構造及び製造方法並びにその特徴について説明する。

【0025】まず、半絶縁性GaAs基板301上に、自然超格子の形成されていないInAlGaPバッファ層302、自然超格子が形成され、かつSiを $3 \times 10^{17} \text{ cm}^{-3}$ 添加したn型InGaPチャネル層303を150nmの厚さに、InGaPショットキー層304を厚さ20nmに、Siを $5 \times 10^{17} \text{ cm}^{-3}$ 添加したGaAsコンタクト層305を順次エピタキシャル成長する（図3（a）参照）。

【0026】図3（a）の構造を得るための半導体結晶成長には、例えば横型でサセプタ回転機構を有するMOVPE装置を使用する。成長圧力は例えば50Torrとし、III族原料ガスとして例えばトリメチルガリウム（TMGa）、トリメチルアルミニウム（TMA1）、トリメチルインジウム（TMI1）を用い、V族原料ガスとして例えばアルシン（AsH₃）、ホスフィン（PH₃）を用い、ドーパント原料ガスとして例えばジシラン（Si₂H₆）を用いる。本実施形態では自然超格子形成の制御は成長温度を変化させることにより行い、バ

ッファ層302は560°Cで、チャネル層303は660°Cで成長を行った。成長温度はこの値に限定されるものではなく、自然超格子を形成させる条件として630°C～700°C、自然超格子を破壊させる条件として530°C～600°Cの範囲で成長を行うことにより、本発明の効果を得ることができる。

【0027】チャネル層303の厚さと不純物添加濃度は上述の値に限定されるものではないが、不純物添加濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上に増やすとInGaPの自然超格子が破壊されてしまい、本発明の効果が得られなくなるため、チャネル層303の不純物添加濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下に制御される必要があり、より好ましくは $1 \times 10^{17} \text{ cm}^{-3} \sim 8 \times 10^{17} \text{ cm}^{-3}$ の範囲内に制御すると良い。

【0028】ショットキー層304はInGaPに限定されず、チャネル層303と同じもしくはより大きなバンドギャップを有する材料であれば、本発明による高耐圧・高出力電界効果トランジスタを作製することができるから、例えばInGaP、InAlGaP、InAlP、AlGaAsもしくはこれらの積層体などを用いることができる。

【0029】エピタキシャル成長後には、従来より用いられている電極形成プロセスを用いて電界効果トランジスタを作製する。コンタクト層305の一部をエッチングにより除去するリセス形成工程、例えばWSi/Auからなるゲート電極308をショットキー層304上に形成する工程、例えばAuGe/Ni/Auからなるソース電極306およびドレイン電極307をコンタクト層305上に形成する工程などにより本実施形態の電界効果トランジスタが完成する（図3（b）参照）。

【0030】図4は本実施形態により作製した電界効果トランジスタ（FET）と、自然超格子形成を制御せずに作製したFET（特開平10-261653号公報に記載されている従来例に相当）の最大ドレイン電流（ゲート幅1mm）とゲート耐圧を示す。本実施形態による電界効果トランジスタでは、従来例に比べてゲート耐圧は変わらず、最大ドレイン電流が増大していることがわかる。図5は上記2種類の方法で作製したゲート幅1mmの電界効果トランジスタの、周波数2GHzにおける出力電力とドレイン電圧の関係を示している。本実施形態による電界効果トランジスタは、上述のように従来例に比べてゲート耐圧を低減せずに最大ドレイン電流を増加した結果、出力電力が約15%向上した。

【0031】[実施の形態2] 次に、本発明の第2の実施の形態に係る電界効果トランジスタ及びその製造方法について、図6及び図7を参照して説明する。

【0032】図6は本実施形態による電界効果トランジスタの概略を示す断面図である。半絶縁性GaAs基板601上には、バッファ層602、自然超格子の形成されていないn型InGaPからなるチャネル層603、

自然超格子の形成されているバリア層604、ショットキー層605、コンタクト層606が順次積層されている。コンタクト層606上にはコンタクト層606とオーミック接触するソース電極607およびドレイン電極608が形成されている。ソース電極607とドレイン電極608との間のショットキー層605上には、ショットキー層605とショットキー接触するゲート電極609が形成されている。高い耐圧を有する電界効果トランジスタを構成するために、バッファ層602の材料としては、チャネル層603よりもバンドギャップが大きく高抵抗な材料が望ましく、InAlGaP、InAlP、AlGaAsあるいはこれらの積層体などを用いることができる。

【0033】本実施の形態では、自然超格子の形成されているバリア層604の自発分極効果により、自然超格子の形成されていないチャネル層603とのヘテロ界面に正の分極電荷が生じ、これに引き寄せられるように自由電子が前記ヘテロ界面に蓄積されることから、チャネル層603内の電子濃度を高めることができる。

【0034】また、本実施の形態においては、チャネル層603に自然超格子の形成されていないn型InGaPを用いることを特徴としているため、第1の実施の形態に比べてチャネル層603への不純物添加濃度を高くすることが可能となり、その結果、第1の実施形態よりも相互コンダクタンス(gm)の高い電界効果トランジスタを作製することが可能となる。

【0035】以下、図7を参照して本実施形態の電界効果トランジスタの具体的な構造及び製造方法について説明する。

【0036】まず、半絶縁性GaAs基板701上に、InAlGaPバッファ層702、自然超格子が形成されておらず、かつSiを $1.5 \times 10^{18} \text{ cm}^{-3}$ 添加したn型InGaPチャネル層703を40nmの厚さに、自然超格子の形成されたInAlGaPバリア層704を厚さ10nmに、InAlPショットキー層705を厚さ15nmに、Siを $5 \times 10^{17} \text{ cm}^{-3}$ 添加したGaAsコンタクト層706を順次エピタキシャル成長する(図7(a)参照)。

【0037】図7(a)の構造を得るための半導体結晶成長には、例えば横型でサセプタ回転機構を有するMOVPE装置を使用する。成長圧力は例えば50Torrとし、III族原料ガスとして例えばトリメチルガリウム(TMGa)、トリメチルアルミニウム(TMA1)、トリメチルインジウム(TMI1)を用い、V族原料ガスとして例えばアルシン(AsH₃)、ホスフィン(Ph₃)を用い、ドーパント原料ガスとして例えばジシラン(Si₂H₆)を用いる。本実施形態では自然超格子形成の制御は成長温度を変化させることにより行い、チャネル層703は560°Cで、バリア層704は660°Cで成長を行った。成長温度はこの値に限定されるもの

ではなく、自然超格子を形成させる条件として630°C～700°C、自然超格子を破壊させる条件として530°C～600°Cの範囲で成長を行うことにより、本発明の効果を得ることができる。

【0038】本実施形態において、n型InGaPよりもチャネル層703は自然超格子を形成しない条件でエピタキシャル成長されるため、第1の実施形態とは違って、チャネル層703への不純物添加濃度の上限について制限を受けない。従って、上述のような高い濃度の不純物を添加したチャネル層を用いることにより、第1の実施形態よりも高い相互コンダクタンスを示す電界効果トランジスタの製造が可能となる。

【0039】バリア層704は、自然超格子を形成することができ、かつチャネル層703と同じもしくはより大きなバンドギャップを有する材料であれば、本発明による高耐圧・高出力電界効果トランジスタを作製することができることから、例えばInGaP、InAlGaP、InAlPもしくはこれらの積層体などを用いることができる。

【0040】ショットキー層705は、チャネル層703と同じもしくはより大きなバンドギャップを有する材料であれば、本発明による高耐圧・高出力電界効果トランジスタを作製することができることから、例えばInGaP、InAlGaP、InAlP、AlGaAsもしくはこれらの積層体などを用いることができる。

【0041】エピタキシャル成長後には、従来より用いられている電極形成プロセスを用いて電界効果トランジスタを作製する。コンタクト層706の一部をエッティングにより除去するリセス形成工程、例えばWSi/Auからなるゲート電極709をショットキー層705上に形成する工程、例えばAuGe/Ni/Auからなるソース電極707およびドレイン電極708をコンタクト層706上に形成する工程などにより電界効果トランジスタが完成する(図7(b)参照)。

【0042】本実施形態により作製した電界効果トランジスタは、第1の実施形態で作製した電界効果トランジスタに比べて相互コンダクタンスが約15%向上した。

【0043】【実施の形態3】次に、本発明の第3の実施の形態に係る電界効果トランジスタ及びその製造方法について、図8及び図9を参照して説明する。

【0044】図8は本実施形態による電界効果トランジスタの概略を示す断面図である。半絶縁性GaAs基板801上には、バッファ層802、自然超格子の形成されていないn型InAlGaPからなる電子供給層803、自然超格子が形成され、かつ不純物添加を行わないInGaPからなるチャネル層804、ショットキー層805、コンタクト層806が順次積層されている。コンタクト層806上にはコンタクト層806とオーミック接触するソース電極807およびドレイン電極808が形成されている。ソース電極807とドレイン電極8

08との間のショットキー層805上には、ショットキー層805とショットキー接觸するゲート電極809が形成されている。高い耐圧を有する電界効果トランジスタを構成するために、バッファ層802の材料としては、電子供給層803と同じかより大きなバンドギャップを有する高抵抗な材料が望ましく、InAlGaP、InAlP、AlGaAsあるいはこれらの積層体などを用いることができる。

【0045】本実施の形態では、不純物を添加しないInGaPよりもなるチャネル層904よりも電子親和力の小さいInAlGaPよりもなる電子供給層803にn型不純物を添加した、いわゆる変調ドープ構造をとっており、電子供給層803とチャネル層804とのヘテロ界面のチャネル層804側には2次元電子ガスが蓄積され、これがトランジスタの電流輸送を担う。

【0046】また、本実施形態では、自然超格子の形成されているチャネル層804の自発分極効果により、自然超格子の形成されていない電子供給層803とのヘテロ界面に正の分極電荷が生じ、これに引き寄せられるように自由電子が前記ヘテロ界面に蓄積されることから、自然超格子形成を制御しないで作製した電界効果トランジスタと比べて、チャネル層804内の2次元電子ガス濃度を高めた高いドレイン電流密度を有する電界効果トランジスタの製造が可能になる。

【0047】また、チャネル層804内に生じる内部電界により、2次元電子ガスを前記ヘテロ界面近傍の狭い領域に効果的に閉じこめることができるために、第1の実施の形態と比べて、高い相互コンダクタンス(gm)を有する電界効果トランジスタの製造が可能となる。

【0048】以下、図9を参照して本実施形態の電界効果トランジスタの具体的な構造及び製造方法について説明する。

【0049】まず、半絶縁性GaAs基板901上に、InAlGaPバッファ層902、自然超格子が形成されておらず、かつSiを $5 \times 10^{18} \text{ cm}^{-3}$ 添加したn型InAlGaP電子供給層903を15nmの厚さに、自然超格子が形成され、かつ不純物を添加しないInGaPチャネル層904を25nmの厚さに、InAlGaPショットキー層905を厚さ20nmに、Siを $3 \times 10^{18} \text{ cm}^{-3}$ 添加したGaAsコンタクト層906を順次エピタキシャル成長する(図9(a)参照)。

【0050】図9(a)の構造を得るための半導体結晶成長には、例えば横型でサセプタ回転機構を有するMOVPE装置を使用する。成長圧力は例えば50Torrとし、III族原料ガスとして例えばトリメチルガリウム(TMGa)、トリメチルアルミニウム(TMA1)、トリメチルインジウム(TMI1)を用い、V族原料ガスとして例えばアルシン(AsH₃)、ホスフィン(Ph₃)を用い、ドーパント原料ガスとして例えばジシラ

ン(Si₂H₆)を用いる。本実施形態では自然超格子形成の制御は成長温度を変化させることにより行い、電子供給層903は560°Cで、チャネル層904は660°Cで成長を行った。成長温度はこの値に限定されるものではなく、自然超格子を形成させる条件として630°C~700°C、自然超格子を破壊させる条件として530°C~600°Cの範囲で成長を行うことにより、本発明の効果を得ることができる。

【0051】本実施形態は、不純物を添加しないInGaPよりもなるチャネル層904よりも電子親和力の小さいInAlGaPよりもなる電子供給層903にn型不純物を添加した、いわゆる変調ドープ構造をとっており、電子供給層903とチャネル層904とのヘテロ界面のチャネル層904側には2次元電子ガスが蓄積され、これがトランジスタの電流輸送を担う。電子供給層903の材料は、自然超格子が形成されておらず、かつInGaPチャネル層904よりも電子親和力が小さければよいので、例えばInAlGaP、InAlP、AlGaAsなどを用いることができる。また、本実施形態では電子供給層903への不純物添加濃度を層全体で一様としたが、電子供給層903への不純物添加濃度は一様でなくてもよいし、層の一部に不純物を添加しない領域があつてもよい。

【0052】本実施形態では、自然超格子の形成されているチャネル層904の自発分極効果により、自然超格子の形成されていない電子供給層903とのヘテロ界面に正の分極電荷が生じ、これに引き寄せられるように自由電子が前記ヘテロ界面に蓄積されることから、チャネル層904内の2次元電子ガス濃度を高めることができ、かつチャネル層904内に生じる内部電界により、2次元電子ガスを前記ヘテロ界面近傍の狭い領域に効果的に閉じこめることができるために、第1の実施の形態と比べて、高い相互コンダクタンス(gm)を有する電界効果トランジスタの製造が可能となる。

【0053】さらに本実施の形態においては、チャネル層904に不純物を添加しないInGaPを用いることを特徴としているため、第1の実施の形態に比べてチャネル層904内を走行する電子の速度が高くなることから、さらに相互コンダクタンス(gm)が高くなる効果もある。

【0054】ショットキー層905はInAlGaPに限定されず、チャネル層904と同じもしくはより大きなバンドギャップを有する材料であれば、本発明による高耐圧・高出力電界効果トランジスタを作製することができることから、例えばInGaP、InAlGaP、InAlP、AlGaAsもしくはこれらの積層体などを用いることができる。

【0055】エピタキシャル成長後には、従来より用いられている電極形成プロセスを用いて電界効果トランジスタを作製する。コンタクト層906の一部をエッキン

グにより除去するリセス形成工程、例えばWSi/Auからなるゲート電極909をショットキー層905上に形成する工程、例えばAuGe/Ni/Auからなるソース電極907およびドレイン電極908をコンタクト層906上に形成する工程などにより電界効果トランジスタが完成する(図9(b)参照)。

【0056】本実施形態により作製した電界効果トランジスタは、第1の実施形態で作製した電界効果トランジスタに比べて相互コンダクタンスが約25%向上した。

【0057】[実施の形態4] 次に、本発明の第4の実施の形態に係る電界効果トランジスタ及びその製造方法について、図10及び図11を参照して説明する。

【0058】図10は本実施形態による電界効果トランジスタの概略を示す断面図である。半絶縁性GaAs基板1001上には、バッファ層1002、n型InAlGaPからなる下部電子供給層1003、自然超格子が形成されておらず、かつ不純物添加を行わないInGaPからなるチャネル層1004、自然超格子が形成されたn型InAlGaPよりなる上部電子供給層1005、ショットキー層1006、コンタクト層1007が順次積層されている。コンタクト層1007上にはコンタクト層1007とオーミック接触するソース電極1008およびドレイン電極1009が形成されている。ソース電極1008とドレイン電極1009との間のショットキー層1006上には、ショットキー層1006とショットキー接觸するゲート電極1010が形成されている。高い耐圧を有する電界効果トランジスタを構成するために、バッファ層1002の材料としては、下部電子供給層1003と同じくより大きなバンドギャップを有する高抵抗な材料が望ましく、InAlGaP、InAlP、AlGaAsあるいはこれらの積層体などを用いることができる。

【0059】本実施の形態では、不純物を添加しないInGaPよりなるチャネル層1004よりも電子親和力の小さいInAlGaPよりなる下部電子供給層1003、および上部電子供給層1005にn型不純物を添加した、いわゆる変調ドーブ構造をとっており、下部電子供給層1003および上部電子供給層1005とチャネル層1004とのヘテロ界面に2次元電子ガスが蓄積され、これがトランジスタの電流輸送を担う。

【0060】また、本実施形態では、自然超格子の形成されている上部電子供給層1005の自発分極効果により、自然超格子の形成されていないチャネル層1004とのヘテロ界面に正の分極電荷が生じ、これに引き寄せられるように自由電子が前記ヘテロ界面に蓄積されることから、自然超格子を制御しないで作製した電界効果トランジスタと比べて、チャネル層1004内の2次元電子ガス濃度を高めた高いドレイン電流密度を有する電界効果トランジスタの作製が可能となる。

【0061】また、本実施の形態においては、チャネル

層1004に不純物を添加しないInGaPを用いることを特徴としているため、第1の実施の形態に比べてチャネル層1004内を走行する電子の速度が高くなることから、相互コンダクタンス(gm)が高くなる効果もある。さらに、本実施形態では、チャネル層1004の上下両方のヘテロ界面に2次元電子ガスを蓄積させていたため、第3の実施形態と比べてドレイン電流密度を高くでき、高い出力が得られるという効果もある。

【0062】以下、図11を参照して本実施形態の電界効果トランジスタの具体的な構造及び製造方法について説明する。

【0063】まず、半絶縁性GaAs基板1101上に、InAlGaPバッファ層1102、Siを $8 \times 10^{18} \text{ cm}^{-3}$ 添加したn型InAlGaP下部電子供給層1103を12nmの厚さに、自然超格子が形成されておらず、かつ不純物を添加しないInGaPチャネル層1104を15nmの厚さに、自然超格子が形成されており、かつSiを $8 \times 10^{17} \text{ cm}^{-3}$ 添加したn型InAlGaP上部電子供給層1105を厚さ15nmに、InAlGaPショットキー層1106を厚さ15nmに、Siを $3 \times 10^{18} \text{ cm}^{-3}$ 添加したGaAsコンタクト層1107を順次エピタキシャル成長する(図11(a)参照)。

【0064】図11(a)の構造を得るための半導体結晶成長には、例えば横型でセラフタ回転機構を有するMOVPE装置を使用する。成長圧力は例えば50Torrとし、III族原料ガスとして例えばトリメチルガリウム(TMGa)、トリメチルアルミニウム(TMA)、トリメチルインジウム(TMI_n)を用い、V族原料ガスとして例えばアルシン(AsH₃)、ホスフィン(PH₃)を用い、ドーパント原料ガスとして例えばジシラン(Si₂H₆)を用いる。本実施形態では自然超格子形成の制御は成長温度を変化させることにより行い、チャネル層1104は560°Cで、上部電子供給層1105は660°Cで成長を行った。成長温度はこの値に限定されるものではなく、自然超格子を形成させる条件として630°C~700°C、自然超格子を破壊させる条件として530°C~600°Cの範囲で成長を行うことにより、本発明の効果を得ることができる。

【0065】本実施形態は、不純物を添加しないInGaPよりなるチャネル層1104よりも電子親和力の小さいInAlGaPよりなる下部電子供給層1103および上部電子供給層1105にn型不純物を添加した、いわゆる変調ドーブ構造をとっており、下部電子供給層1103および上部電子供給層1105とチャネル層1104とのヘテロ界面のチャネル層1104側には2次元電子ガスが蓄積され、これがトランジスタの電流輸送を担う。下部電子供給層1103の材料は、InGaPチャネル層1104よりも電子親和力が小さければよいので、例えばInAlGaP、InAlP、AlGaAs

sなどを用いることができる。上部電子供給層1105の材料は、自然超格子を形成することができ、かつInGaPチャネル層1104よりも電子親和力の小さい材料であればよいので、例えばInAlGaP、InAlPなどを用いることができる。また、本実施形態では下部電子供給層1103および上部電子供給層1105への不純物添加濃度を層全体で一様としたが、不純物添加濃度は一様でなくてもよいし、層の一部に不純物を添加しない領域があつてもよい。

【0066】本実施形態では、自然超格子の形成されている上部電子供給層1105の自発分極効果により、自然超格子の形成されていないチャネル層1104とのヘテロ界面に正の分極電荷が生じ、これに引き寄せられるように自由電子が前記ヘテロ界面に蓄積されることから、自然超格子形成を制御しないで作製した電界効果トランジスタと比べてチャネル層1104内の2次元電子ガス濃度を高めた高いドレイン電流密度を有する電界効果トランジスタの作製が可能となる。

【0067】また、本実施の形態においては、チャネル層1104に不純物を添加しないInGaPを用いることを特徴としているため、第1の実施の形態に比べてチャネル層1104内を走行する電子の速度が高くなることから、相互コンダクタンス(gm)が高くなる効果もある。さらに、本実施形態では、チャネル層1104の上下両方のヘテロ界面に2次元電子ガスを蓄積させていため、第3の実施形態と比べて電流密度を高くでき、高い出力が得られるという効果もある。

【0068】上部電子供給層1105の厚さと不純物添加濃度は上述の値に限定されるものではないが、不純物添加濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上に増やすと自然超格子が破壊されてしまい、本発明の効果が得られなくなるため、上部電子供給層1105の不純物添加濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下に制御される必要がある。しかしながら、チャネル層1104内の2次元電子ガス濃度を高め、より大きなドレイン電流密度を得るために、上部供給層1105への不純物添加濃度は高い方が望ましい。以上のことから、上部供給層1105への不純物添加濃度は $5 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の範囲内に制御されるのが好ましい。

【0069】ショットキー層1106はInAlGaPに限定されず、チャネル層1104と同じもしくはより大きなバンドギャップを有する材料であれば、本発明による高耐圧・高出力電界効果トランジスタを作製することができることから、例えばInGaP、InAlGaP、InAlP、AlGaAsもしくはこれらの積層体などを用いることができる。

【0070】エピタキシャル成長後には、従来より用いられている電極形成プロセスを用いて電界効果トランジスタを作製する。コンタクト層1107の一部をエッチングにより除去するリセス形成工程、例えばWSi/A

uからなるゲート電極1110をショットキー層1106上に形成する工程、例えばAuGe/Ni/Auからなるソース電極1108およびドレイン電極1109をコンタクト層1107上に形成する工程などにより電界効果トランジスタが完成する(図11(b)参照)。

【0071】本実施形態により作製した電界効果トランジスタは、第1の実施形態で作製した電界効果トランジスタに比べて相互コンダクタンスが約30%向上し、第3の実施形態で作製した電界効果トランジスタに比べて最大ドレイン電流密度が約20%増大した。

【0072】【実施の形態5】次に、本発明の第5の実施の形態に係る電界効果トランジスタ及びその製造方法について、図12及び図13を参照して説明する。

【0073】図12は本実施形態による電界効果トランジスタの概略を示す断面図である。半絶縁性GaAs基板1201上には、バッファ層1202、n型InAlGaPからなる下部電子供給層1203、自然超格子が形成されておらず、かつ不純物添加を行わないInGaPからなるチャネル層1204、自然超格子が形成されたInAlGaPよりなるスペーサ層1205、n型InAlGaPよりなる上部電子供給層1206、ショットキー層1207、コンタクト層1208が順次積層されている。コンタクト層1208上にはコンタクト層1208とオーミック接觸するソース電極1209およびドレイン電極1210が形成されている。ソース電極1209とドレイン電極1210との間のショットキー層1207上には、ショットキー層1207とショットキー接觸するゲート電極1211が形成されている。高い耐圧を有する電界効果トランジスタを構成するために、バッファ層1202の材料としては、下部電子供給層1203と同じくより大きなバンドギャップを有する高抵抗な材料が望ましく、InAlGaP、InAlP、AlGaAsあるいはこれらの積層体などを用いることができる。

【0074】本実施の形態では、不純物を添加しないInGaPよりなるチャネル層1204よりも電子親和力の小さいInAlGaPよりなる下部電子供給層1203、および上部電子供給層1206にn型不純物を添加した、いわゆる変調ドープ構造をとっており、下部電子供給層1203およびスペーサ層1205とチャネル層1204とのヘテロ界面に2次元電子ガスが蓄積され、これがトランジスタの電流輸送を担う。

【0075】また、本実施形態では、自然超格子の形成されているスペーサ層1205の自発分極効果により、自然超格子の形成されていないチャネル層1204とのヘテロ界面に正の分極電荷が生じ、これに引き寄せられるように自由電子が前記ヘテロ界面に蓄積されることから、自然超格子を制御しないで作製した電界効果トランジスタと比べて、チャネル層1204内の2次元電子ガス濃度を高めた高いドレイン電流密度を有する電界効果トランジスタの作製が可能となる。

トランジスタの作製が可能となる。

【0076】また、本実施の形態においては、チャネル層1304に不純物を添加しないInGaPを用いることを特徴としているため、第1の実施の形態に比べてチャネル層1304内を走行する電子の速度が高くなることから、相互コンダクタンス(gm)が高くなる効果もある。さらに、本実施形態では、自然超格子が形成され、自発分極効果でチャネル層1304内にキャリアを誘起する層(スペーサ層1305)と、変調ドープ構造によりチャネル層1304内にキャリアを供給する層(上部電子供給層1306)を別々にわけたことにより、第4の実施形態と比べて上部電子供給層1306への不純物添加濃度の上限を広げることができることから、第4の実施形態よりもドレン電流密度を高くでき、高い出力が得られるという効果がある。

【0077】以下、図13を参照して本実施形態の電界効果トランジスタの具体的な構造及び製造方法について説明する。

【0078】まず、半絶縁性GaAs基板1301上に、InAlGaPバッファ層1302、Siを $3 \times 10^{18} \text{ cm}^{-3}$ 添加したn型InAlGaP下部電子供給層1303を12nmの厚さに、自然超格子が形成されておらず、かつ不純物を添加しないInGaPチャネル層1304を15nmの厚さに、自然超格子が形成されているInAlGaPスペーサ層1305を厚さ2nmに、Siを $6 \times 10^{18} \text{ cm}^{-3}$ 添加したn型InAlGaP上部電子供給層1306を厚さ15nmに、InAlGaPショットキー層1307を厚さ15nmに、Siを $3 \times 10^{18} \text{ cm}^{-3}$ 添加したGaAsコントラクト層1308を順次エピタキシャル成長する(図13(a)参照)。

【0079】図13(a)の構造を得るための半導体結晶成長には、例えば横型でサセプタ回転機構を有するMOVPE装置を使用する。成長圧力は例えば50Torrとし、III族原料ガスとして例えばトリメチルガリウム(TMGa)、トリメチルアルミニウム(TMAI)、トリメチルインジウム(TMIn)を用い、V族原料ガスとして例えばアルシン(AsH₃)、ホスフィン(Ph₃)を用い、ドーパント原料ガスとして例えばジシラン(Si₂H₆)を用いる。本実施形態では自然超格子形成の制御は成長温度を変化させることにより行い、チャネル層1304は560°Cで、スペーサ層1305は660°Cで成長を行った。成長温度はこの値に限定されるものではなく、自然超格子を形成させる条件として630°C~700°C、自然超格子を破壊させる条件として530°C~600°Cの範囲で成長を行うことにより、本発明の効果を得ることができる。

【0080】本実施形態は、不純物を添加しないInGaPよりもチャネル層1304よりも電子親和力の小さいInAlGaPよりも下部電子供給層1303お

より上部電子供給層1306にn型不純物を添加した、いわゆる変調ドープ構造をとっており、下部電子供給層1303およびスペーサ層1305とチャネル層1304とのヘテロ界面のチャネル層1304側には2次元電子ガスが蓄積され、これがトランジスタの電流輸送を担う。下部電子供給層1303および上部電子供給層1306の材料は、InGaPチャネル層1304よりも電子親和力が小さければよいので、例えばInAlGaP、InAlP、AlGaAsなどを用いることができる。スペーサ層1305の材料は、自然超格子を形成することができ、かつInGaPチャネル層1304よりも電子親和力が小さければよいので、例えばInAlGaP、InAlPなどを用いることができる。また、本実施形態では下部電子供給層1303および上部電子供給層1306への不純物添加濃度を層全体で一様としたが、不純物添加濃度は一様でなくてもよいし、層の一部に不純物を添加しない領域があってもよい。

【0081】本実施形態では、自然超格子の形成されているスペーサ層1305の自発分極効果により、自然超格子の形成されていないチャネル層1304とのヘテロ界面に正の分極電荷が生じ、これに引き寄せられるよう自由電子が前記ヘテロ界面に蓄積されることから、自然超格子形成を制御しないで作製した電界効果トランジスタと比べてチャネル層1304内の2次元電子ガス濃度を高めた高いドレン電流密度を有する電界効果トランジスタの作製が可能となる。

【0082】また、本実施の形態においては、チャネル層1304に不純物を添加しないInGaPを用いることを特徴としているため、第1の実施の形態に比べてチャネル層1304内を走行する電子の速度が高くなることから、相互コンダクタンス(gm)が高くなる効果もある。さらに、本実施形態では、自然超格子が形成され、自発分極効果でチャネル層1304内にキャリアを誘起する層(スペーサ層1305)と、変調ドープ構造によりチャネル層1304内にキャリアを供給する層(上部電子供給層1306)を別々にわけたことにより、第4の実施形態と比べて上部電子供給層1306への不純物添加濃度の上限を広げることができることから、第4の実施形態よりもドレン電流密度を高くでき、高い出力が得られるという効果がある。

【0083】具体的には第4の実施形態では上部電子供給層1305が自然超格子を形成する層であったために、上部電子供給層1305への不純物添加濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下に制御される必要があったが、本実施形態では上部電子供給層1306は自然超格子を形成していないものので、不純物添加濃度に関して自然超格子形成が原因となる上限がない。従って、上部電子供給層1306への不純物添加濃度を高めることにより、第4の実施形態と比べてチャネル層1304内の2次元電子ガス濃度を高めることができ、その結果高いド

レイン電流密度が得られるという効果がある。ただし、高い出力をためには高いドレイン電流密度と高い耐圧の両立が必要であり、高い耐圧を得る観点から、上部供給層1306への不純物添加濃度は $5 \times 10^{17} \text{ cm}^{-3}$ ～ $1 \times 10^{19} \text{ cm}^{-3}$ の範囲内に制御されるのが好ましい。

【0084】ショットキー層1307はInAlGaPに限定されず、チャネル層1304と同じもしくはより大きなバンドギャップを有する材料であれば、本発明による高耐圧・高出力電界効果トランジスタを作製することができるところから、例えばInGaP、InAlGaP、InAlP、AlGaAsもしくはこれらの積層体などを用いることができる。

【0085】エピタキシャル成長後には、従来より用いられている電極形成プロセスを用いて電界効果トランジスタを作製する。コンタクト層1308の一部をエッチングにより除去するリセス形成工程、例えばWSi/Auからなるゲート電極1311をショットキー層1307上に形成する工程、例えばAuGe/Ni/Auからなるソース電極1309およびドレイン電極1310をコンタクト層1308上に形成する工程などにより電界効果トランジスタが完成する（図13（b）参照）。

【0086】本実施形態により作製した電界効果トランジスタは、第4の実施形態で作製した電界効果トランジスタに比べて最大ドレイン電流密度が約15%増大した。

【0087】

【発明の効果】以上説明したように、本発明の電界効果トランジスタ及びその製造方法によれば、GaAs基板上に形成されたInGaPからなるチャネル層を有する電界効果トランジスタにおいて、前記チャネル層を、自然超格子が破壊されてIII族原子層面内における2種類以上の原子の配列が不規則となっている第1の半導体層と、前記第1の半導体層上にエピタキシャル成長され、III族原子層面内における2種類以上の原子の配列が規則的で自然超格子を形成している第2の半導体層のいずれか一方もしくは両方で構成することによって、高いドレイン電流と高い耐圧を両立して、良好な高出力特性を得ることが可能となる。

【図面の簡単な説明】

【図1】自然超格子の形成されたInGaPの原子配列を説明するための図である。

【図2】第1の実施形態に係る電界効果トランジスタの構造を示す断面図である。

【図3】第1の実施形態に係る電界効果トランジスタの製造方法を示す工程断面図である。

【図4】第1の実施形態に係る電界効果トランジスタの特性を説明するための図である。

【図5】第1の実施形態に係る電界効果トランジスタの特性を説明するための図である。

【図6】第2の実施形態に係る電界効果トランジスタの構造を示す断面図である。

【図7】第2の実施形態に係る電界効果トランジスタの製造方法を示す工程断面図である。

【図8】第3の実施形態に係る電界効果トランジスタの構造を示す断面図である。

【図9】第3の実施形態に係る電界効果トランジスタの製造方法を示す工程断面図である。

【図10】第4の実施形態に係る電界効果トランジスタの構造を示す断面図である。

【図11】第4の実施形態に係る電界効果トランジスタの製造方法を示す工程断面図である。

【図12】第5の実施形態に係る電界効果トランジスタの構造を示す断面図である。

【図13】第5の実施形態に係る電界効果トランジスタの製造方法を示す工程断面図である。

【符号の説明】

201、301、601、701 半絶縁性GaAs基板

202、302、602、702 バッファ層
203、303、603、703 n型InGaPチャネル層

204、304、605、705 ショットキー層
205、305、606、706 コンタクト層
206、306、607、707 ソース電極
207、307、608、708 ドレイン電極
208、308、609、709 ゲート電極
604、704 バリア層

801、901 半絶縁性GaAs基板
802、902 バッファ層
803、903 n型InAlGaP電子供給層

804、904 ノンドープInGaPチャネル層
805、905 ショットキー層
806、906 コンタクト層
807、907 ソース電極
808、908 ドレイン電極
809、909 ゲート電極

1001、1101、1201、1301 半絶縁性GaAs基板

1002、1102、1202、1302 バッファ層
1003、1103、1203、1303 n型InAlGaP下部電子供給層

1004、1104、1204、1304 ノンドープInGaPチャネル層

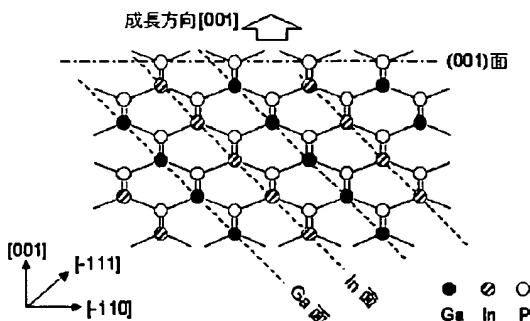
1005、1105、1206、1306 n型InAlGaP上部電子供給層

1006、1106、1207、1307 ショットキー層
1007、1107、1208、1308 コンタクト層

21

1008、1108、1209、1309 ソース電極
1009、1109、1210、1310 ドレイン電
極

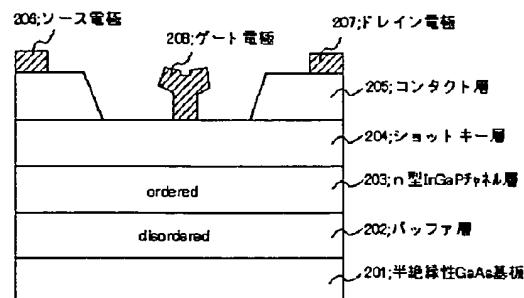
【図1】



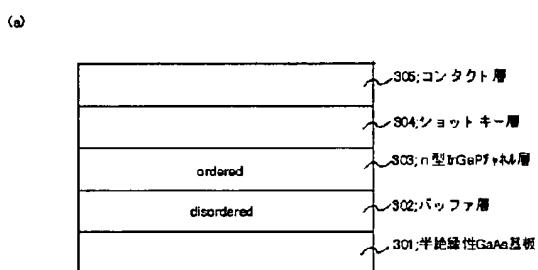
22

1010, 1110, 1211, 1311 ゲート電極
1205, 1305 スペーサ層

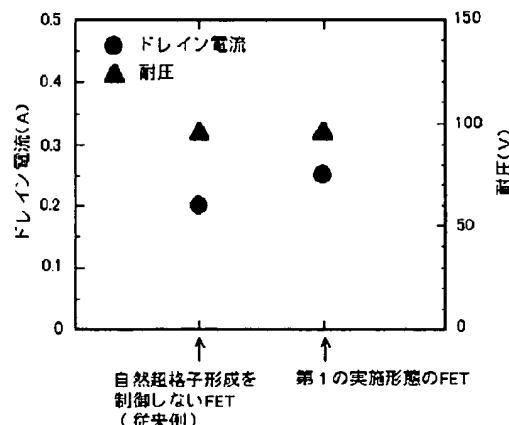
【図2】



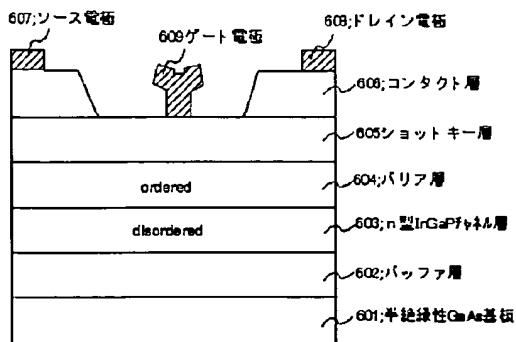
〔図3〕



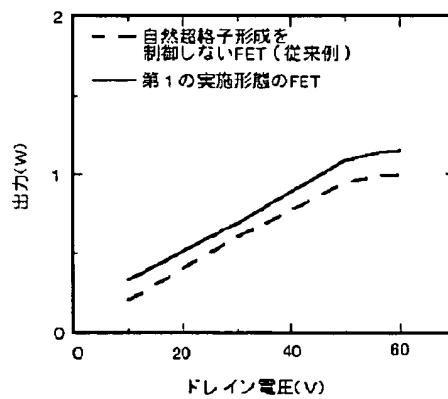
〔図4〕



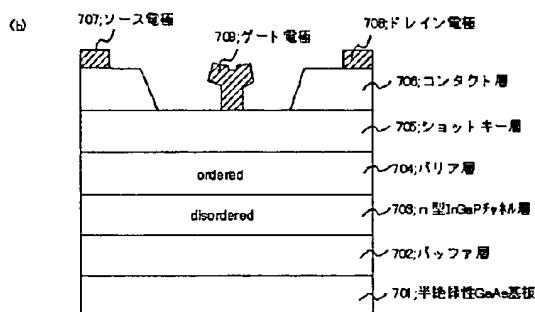
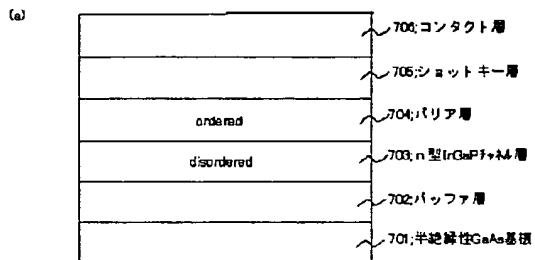
(図6)



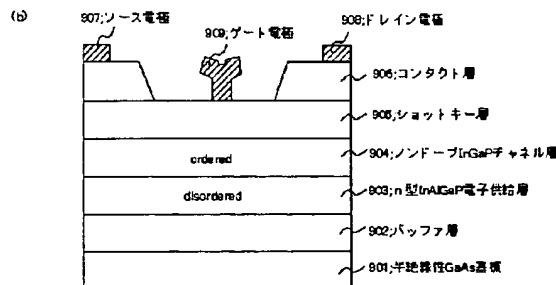
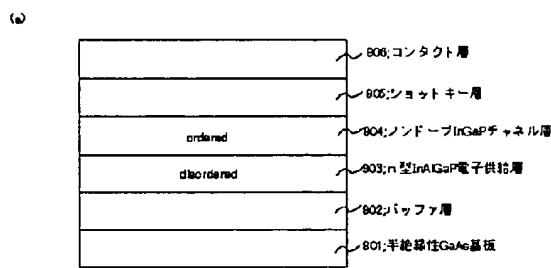
[圖5]



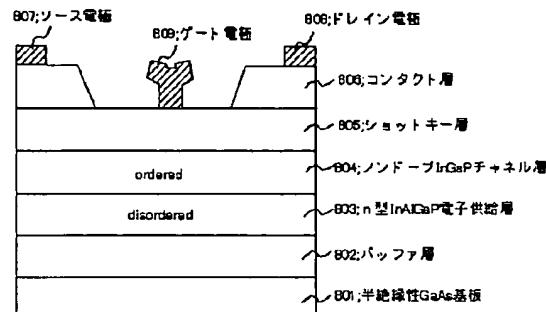
【図7】



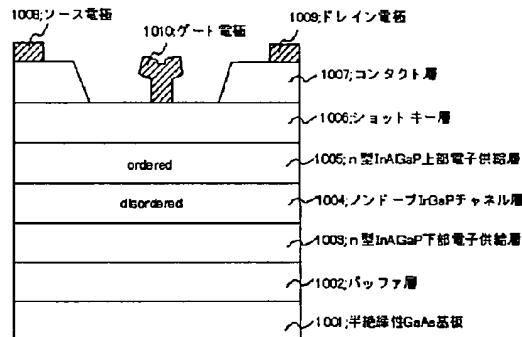
[図9]



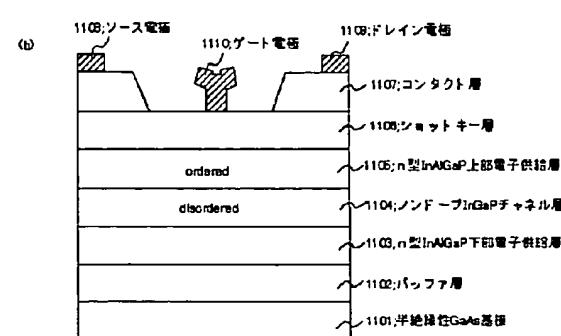
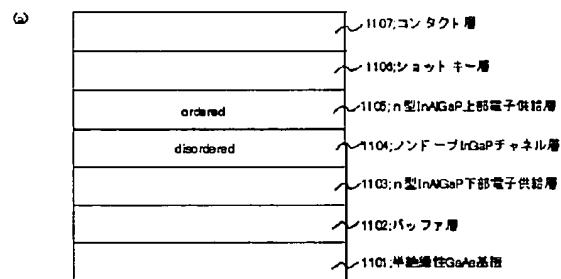
[図8]



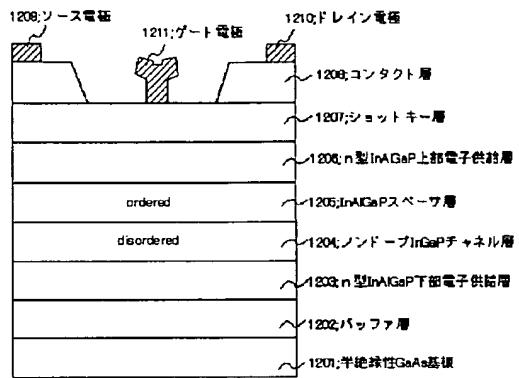
【四】



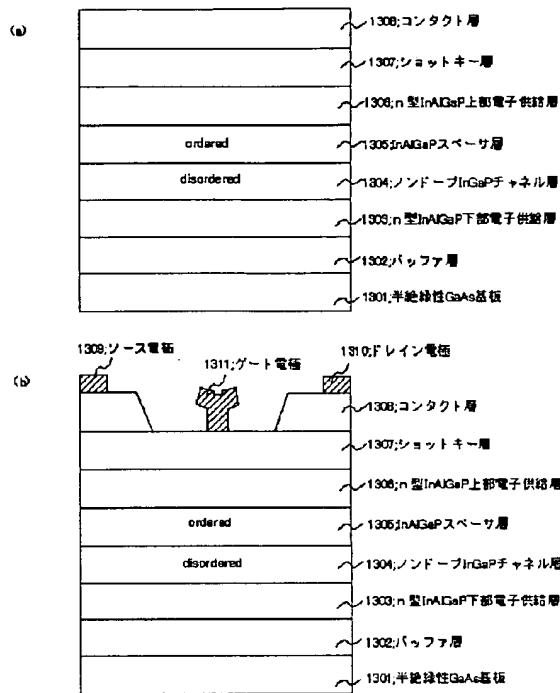
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 松永 高治
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72)発明者 CONTRATA
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 葛原 正明
東京都港区芝五丁目7番1号 日本電気株
式会社内
Fターム(参考) 5F102 FA01 GB01 GC01 GD01 GJ05
GK04 GL04 GM04 GM08 GQ02
GQ03 GR04 GS04 HC01